BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000113025 A

(43) Date of publication of application: 21.04.00

(51) Int. Cl G06F 17/50
H01L 21/82

(21) Application number: 10288314

(22) Date of filing: 09.10.98

(71) Applicant: FUJITSU LTD

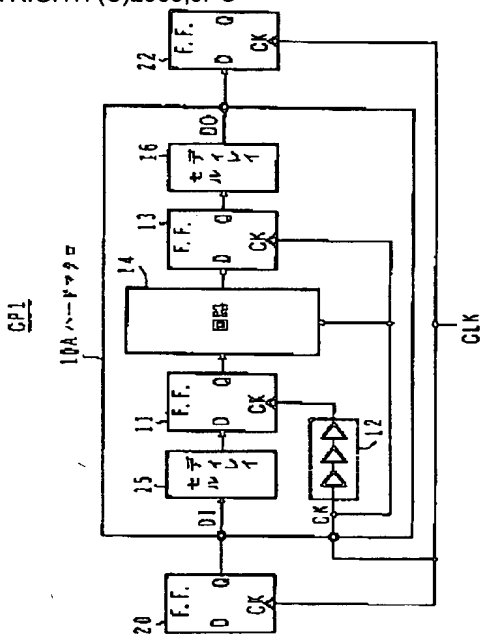
(72) Inventor: ISHII YUJI
KAWAGUCHI KUNIHIKO

(54) HARD MACRO PREPARING METHOD, SEMICONDUCTOR CHIP DESIGNING METHOD, AND RECORDING MEDIUM

(57) Abstract:

PROBLEM TO BE SOLVED: To more simplify a design which uses a hard macro.

SOLUTION: The input/output AC characteristics of the hard macro are previously specified, delay cells 15 and 16 are respectively provided on the input side and output side in the hard macro, and the signal propagation delay time of delay cells 15 and 16 is determined so as to satisfy this specification. This specification is made to satisfy such condition not to generate any timing error at D flip-flops 11 and 22 at the time of commonly supplying a clock CLK to the D flip-flops 20 and 22 and a clock input terminal CK of a hard macro 10A by arranging the D flip-flops 20 and 22 outside the hard macro 10A, directly connecting a data output terminal Q of the D flip-flop 20 to a data input terminal DI of the hard macro 10A and directly connecting a data input terminal D of the D flip-flop 22 to a data output terminal DO of the hard macro 10A.



P-214

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－113025
(P2000－113025A)
(43)公開日　平成12年４月21日(2000.4.21)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード'(参考)
Ｇ０６Ｆ　17/50		Ｇ０６Ｆ　15/60	６５６Ｄ	５Ｂ０４６
Ｈ０１Ｌ　21/82		Ｈ０１Ｌ　21/82	Ｃ	５Ｆ０６４

審査請求　未請求　請求項の数16　ＯＬ　（全 10 頁）

(21)出願番号　特願平10－288314

(22)出願日　平成10年10月９日(1998.10.9)

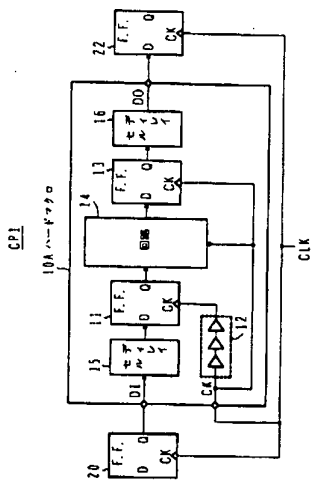
(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(72)発明者　石井　勇治
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(72)発明者　川口　邦彦
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(74)代理人　100092587
弁理士　松本　貞吉

Ｆターム(参考)　5B046 AA08 BA05 BA06 DA05 JA01
5F064 BB19 EE47 EE54 HH12

(54)【発明の名称】　ハードマクロ作成方法、半導体チップ設計方法及び記録媒体

(57)【要約】
【課題】ハードマクロを用いた設計をより簡単化する。
【解決手段】ハードマクロの入出力ＡＣ特性を予め規定しておき、ハードマクロ内の入力側及び出力側にそれぞれディレイセル１５及び１６を備え、この規定を満たすようにディレイセル１５及び１６の信号伝搬遅延時間を定める。この規定は、ハードマクロ１０の外部にＤフリップフロップ２０及び２２を配置しＤフリップフロップ２０のデータ出力端Ｑを直接ハードマクロ１０のデータ入力端ＤＩに接続し且つＤフリップフロップ２２のデータ入力端Ｄを直接ハードマクロ１０のデータ出力端ＤＯに接続しＤフリップフロップ２０及び２２並びにハードマクロ１０のクロック入力端ＣＫへ共通にクロックＣＬＫを供給したときにＤフリップフロップ１１及び２２においてタイミングエラーが生じないという条件を満たすようにする。

半導体チップ上に配置された図１のハードマクロ及びその付近の回路を示す概略図



【特許請求の範囲】
【請求項１】　データ入力端及びクロック入力端を備え、該データ入力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ入力端に接続されているハードマクロの作成方法において、
該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との時間間隔を規定しておき、
該規定を満たす場合に該内部同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該データ入力端と該内部同期型フリップフロップの該データ入力端との間にディレイセルを接続する、ことを特徴とするハードマクロ作成方法。
【請求項２】　データ入力端及びクロック入力端を備え、該データ入力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ入力端に接続されているハードマクロの作成方法において、
該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との時間間隔を規定しておき、
該規定を満たす場合に該内部同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該クロック入力端にディレイセルを接続する、ことを特徴とするハードマクロ作成方法。
【請求項３】　上記ハードマクロの外部に同期型フリップフロップを配置し該外部同期型フリップフロップのデータ出力端を直接該ハードマクロの該データ入力端に接続し該外部同期型フリップフロップ及び該ハードマクロのクロック入力端へ共通にクロックを供給したときに、上記タイミングエラーが生じないように上記時間間隔を定める、
ことを特徴とする請求項１又は２記載のハードマクロ作成方法。
【請求項４】　データ出力端及びクロック入力端を備え、該データ出力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、
該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端での信号のエッジ時点との時間間隔を規定しておき、
該規定を満たすように該ハードマクロの該データ出力端と該内部同期型フリップフロップの該データ出力端との間にディレイセルを接続する、
ことを特徴とするハードマクロ作成方法。
【請求項５】　上記ハードマクロの外部に同期型フリップフロップを配置し該外部同期型フリップフロップのデータ入力端を直接該ハードマクロの該データ出力端に接続し該外部同期型フリップフロップ及び該ハードマクロのクロック入力端へ共通にクロックを供給したときに、該外部同期型フリップフロップでタイミングエラーが生じないように上記時間間隔を定める、
ことを特徴とする請求項４記載のハードマクロ作成方法。
【請求項６】　上記ディレイセルとして遅延バッファゲートを有するものを用いることを特徴とする請求項１乃至５のいずれか１つに記載のハードマクロ作成方法。
【請求項７】　上記ディレイセルとして配線を用い、該配線の長さにより上記信号伝搬遅延時間を定めることを特徴とする請求項１乃至５のいずれか１つに記載のハードマクロ作成方法。
【請求項８】　上記ディレイセルとして遅延バッファゲート及びこれに接続された配線を用い、該配線の長さにより上記信号伝搬遅延時間を微調整することを特徴とする請求項１乃至５のいずれか１つに記載のハードマクロ作成方法。
【請求項９】　データ入力端、データ出力端及びクロック入力端を備え、該データ入力端が、直接又は第１組合せ回路を介して内部第１同期型フリップフロップのデータ入力端に接続され、該データ出力端が、直接又は第２組合せ回路を介して内部第２同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、
該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との第１時間間隔を規定しておき、
該規定を満たす場合に該内部第１同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該データ入力端と該内部同期型フリップフロップの該データ入力端との間に第１ディレイセルを接続し、
該ハードマクロの該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端での信号のエッジ時点
との第２時間間隔を規定しておき、該規定を満たすように該内部第２同期型フリップフロップの該データ出力端と該ハードマクロの該データ出力端との間に第２ディレイセルを接続する、
ことを特徴とするハードマクロ作成方法。
【請求項１０】　データ入力端、データ出力端及びクロック入力端を備え、該データ入力端が、直接又は第１組合せ回路を介して内部第１同期型フリップフロップのデータ入力端に接続され、該データ出力端が、直接又は第２組合せ回路を介して内部第２同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、
該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ

入力端に供給される信号のエッジ時点との第１時間間隔を規定しておき、
該規定を満たす場合に該内部第１同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該クロック入力端と該内部第１同期型フリップフロップのクロック入力端との間に第１ディレイセルを接続し、
該ハードマクロの該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端での信号のエッジ時点との第２時間間隔を規定しておき、
該規定を満たすように該内部第２同期型フリップフロップの該データ出力端と該ハードマクロの該データ出力端との間に第２ディレイセルを接続する、
ことを特徴とするハードマクロ作成方法。
【請求項１１】　上記ハードマクロの外部に第１及び第２同期型フリップフロップを配置し該外部第１同期型フリップフロップのデータ出力端を直接該ハードマクロの該データ入力端に接続し該外部第２同期型フリップフロップのデータ入力端を直接該ハードマクロの該データ出力端に接続し該外部第１及び第２同期型フリップフロップ並びに該ハードマクロのクロック入力端へ共通にクロックを供給したときに、上記タイミングエラーが生じないように上記第１時間間隔を定め、且つ、該第２同期型フリップフロップにおいてタイミングエラーが生じないように上記第２時間間隔を定める、
ことを特徴とする請求項９又は１０記載のハードマクロ作成方法。
【請求項１２】　上記第１及び第２ディレイセルとして遅延バッファゲートを有するものを用いることを特徴とする請求項９乃至１１のいずれか１つに記載のハードマクロ作成方法。
【請求項１３】　上記第１及び第２ディレイセルとして配線を用い、該配線の長さにより上記信号伝搬遅延時間を定めることを特徴とする請求項９乃至１１のいずれか１つに記載のハードマクロ作成方法。
【請求項１４】　上記第１及び第２ディレイセルとして遅延バッファゲート及びこれに接続された配線を用い、該配線の長さにより上記信号伝搬遅延時間を微調整することを特徴とする請求項９乃至１１のいずれか１つに記載のハードマクロ作成方法。
【請求項１５】　請求項１乃至１４のいずれか１つに記載の方法で作成されたハードマクロを用いて半導体チップ設計を行う、
ことを特徴とする半導体チップ設計方法。
【請求項１６】　請求項１乃至１４のいずれか１つに記載の方法で作成されたハードマクロの構成を表すデータが記録されていることを特徴とする記録媒体。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、半導体チップ設計で用いられるハードマクロの作成方法、この方法で作成されたハードマクロを用いる半導体チップ設計方法及び該ハードマクロの構成を表すデータが記録されている記録媒体に関する。
【０００２】
【従来の技術】ハードマクロは、所望の機能を有し最適設計が行われ固定されたマスクパターンを備えた回路モジュールであり、記憶装置内のセルライブラリに登録され、半導体チップ設計段階でそのまま部品として使用される。ユーザは、ハードマクロをセルライブラリ中の他のセルと同様に取り扱うことができ、ハードマクロを半導体チップ設計で採用することにより、半導体チップの論理設計、論理検証、回路合成及びレイアウト設計を簡略化することが可能となり、設計工数を大幅に削減することが期待できる。
【０００３】図７は、従来のハードマクロ１０の具体例を示す概略回路図である。
【０００４】ハードマクロ１０のデータ入力端ＤＩはＤフリップフロップ１１のデータ入力端Ｄに接続され、ハードマクロ１０のクロック入力端ＣＫはバッファゲート１２を介してＤフリップフロップ１１のクロック入力端ＣＫに接続されている。ハードマクロ１０のデータ出力端ＤＯはＤフリップフロップ１３のデータ出力端Ｑに接続され、Ｄフリップフロップ１３のクロック入力端ＣＫはハードマクロ１０のクロック入力端ＣＫに接続されている。Ｄフリップフロップ１１と１３との間には、ハードマクロ１０が所望の機能を果たすための回路１４が接続されてる。回路１４は、クロックＣＬＫに同期し又は同期せずに動作する。
【０００５】図８は、このハードマクロ１０を用いて半導体チップＣＰ０上に設計された回路の一部を示す図である。
【０００６】ハードマクロ１０の内部では既にタイミング調整が行われている。しかし、ハードマクロ１０を作成する段階ではハードマクロ１０にどのような回路が接続されるか不明ある。そこで、半導体チップ設計においてハードマクロ１０を採用した場合には、ハードマクロ１０とその外部回路との間でタイミング調整を行う必要がある。
【０００７】図８では、このタイミング調整のために、Ｄフリップフロップ２０のデータ出力端Ｑとハードマクロ１０のデータ入力端ＤＩとの間にディレイセル２１が接続され、ハードマクロ１０のデータ出力端ＤＯとＤフリップフロップ２２のデータ入力端Ｄとの間にディレイセル２３が接続されている。ハードマクロ１０、Ｄフリップフロップ２０及び２２のクロック入力端ＣＫには、クロックＣＬＫが共通に供給されている。
【０００８】
【発明が解決しようとする課題】従来のハードマクロ１０は、外部ＡＣ特性につき明確な規定を設けて設計されていなかったので、このようなハードマクロ１０を用いて設計すると、チップレイアウト設計後のタイミングマージンチェックにおいて、ハードマクロ１０の入出力付近でタイミングエラーが発生する可能性が高かった。このため、レイアウト設計後にディレイセルの挿入や再レイアウトを行ってこのタイミングエラーを無くする作業が発生し、設計時間が長くなる原因となっていた。

【０００９】本発明の目的は、このような問題点に鑑み、ハードマクロを用いた設計をより簡単化することが可能なハードマクロ作成方法、半導体チップ設計方法及び記録媒体を提供することにある。
【００１０】
【課題を解決するための手段及びその作用効果】請求項１では、データ入力端及びクロック入力端を備え、該データ入力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ入力端に接続されているハードマクロの作成方法において、該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との時間間隔を規定しておき、該規定を満たす場合に該内部同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該データ入力端と該内部同期型フリップフロップの該データ入力端との間にディレイセルを接続する。
【００１１】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ入力端と外部回路との間に、ディレイセルを挿入する必要がなくなり又は所定の遅延時間を持ったディレイセルを挿入すればよく、設計が簡略化されるというハードマクロ使用の利点が更に高められ、設計期間をより短縮することが可能となる。
【００１２】請求項２では、データ入力端及びクロック入力端を備え、該データ入力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ入力端に接続されているハードマクロの作成方法において、該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との時間間隔を規定しておき、該規定を満たす場合に該内部同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該クロック入力端にディレイセルを接続する。
【００１３】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ入力端と外部回路との間に、ディレイセルを挿入する必要がなくなり又は所定の遅延時間を持ったディレイセルを挿入すればよく、設計が簡略化されるというハードマクロ使用の利点が更に高められ、設計期間をより短縮することが可能となる。
【００１４】請求項３のハードマクロ作成方法では、請求項１又は２において、上記ハードマクロの外部に同期型フリップフロップを配置し該外部同期型フリップフロップのデータ出力端を直接該ハードマクロの該データ入力端に接続し該外部同期型フリップフロップ及び該ハードマクロのクロック入力端へ共通にクロックを供給したときに、上記タイミングエラーが生じないように上記時間間隔を定める。
【００１５】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ入力端と外部回路との間にディレイセルを挿入する必要がなくなり、設計が簡略化されるというハードマクロ使用の利点がより一層高められ、設計期間をより短縮することが可能となる。
【００１６】請求項４では、データ出力端及びクロック入力端を備え、該データ出力端が、直接又は組合せ回路を介して内部同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端での信号のエッジ時点との時間間隔を規定しておき、該規定を満たすように該ハードマクロの該データ出力端と該内部同期型フリップフロップの該データ出力端との間にディレイセルを接続する。
【００１７】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ出力端と外部回路との間に、ディレイセルを挿入する必要がなくなり又は所定の遅延時間を持ったディレイセルを挿入すればよく、設計が簡略化されるというハードマクロ使用の利点が更に高められ、設計期間をより短縮することが可能となる。
【００１８】請求項５のハードマクロ作成方法では、請求項４において、上記ハードマクロの外部に同期型フリップフロップを配置し該外部同期型フリップフロップのデータ入力端を直接該ハードマクロの該データ出力端に接続し該外部同期型フリップフロップ及び該ハードマクロのクロック入力端へ共通にクロックを供給したときに、該外部同期型フリップフロップでタイミングエラーが生じないように上記時間間隔を定める。
【００１９】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ出力端と外部回路との間にディレイセルを挿入する必要がなくなり、設計が簡略化されるというハードマクロ使用の利点がより一層高められ、設計期間をより短縮することが可能となる。
【００２０】請求項６のハードマクロ作成方法では、請求項１乃至５のいずれか１つにおいて、上記ディレイセルとして遅延バッファゲートを有するものを用いる。
【００２１】請求項７のハードマクロ作成方法では、請求項１乃至５のいずれか１つにおいて、上記ディレイセルとして配線を用い、該配線の長さにより上記信号伝搬

遅延時間を定める。

【００２２】このハードマクロ作成方法によれば、配線長を調整することにより、タイミングマージンが大きくなるようにディレイセルの遅延時間を微調整することが可能となる。

【００２３】請求項８のハードマクロ作成方法では、請求項１乃至５のいずれか１つにおいて、上記ディレイセルとして遅延バッファゲート及びこれに接続された配線を用い、該配線の長さにより上記信号伝搬遅延時間を微調整する。

【００２４】このハードマクロ作成方法によれば、比較的短い配線の長さを調整することにより、タイミングマージンが大きくなるようにディレイセルの遅延時間を微調整することが可能となる。

【００２５】請求項９では、データ入力端、データ出力端及びクロック入力端を備え、該データ入力端が、直接又は第１組合せ回路を介して内部第１同期型フリップフロップのデータ入力端に接続され、該データ出力端が、直接又は第２組合せ回路を介して内部第２同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との第１時間間隔を規定しておき、該規定を満たす場合に該内部第１同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該データ入力端と該内部同期型フリップフロップの該データ入力端との間に第１ディレイセルを接続し、該ハードマクロの該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端での信号のエッジ時点との第２時間間隔を規定しておき、該規定を満たすように該内部第２同期型フリップフロップの該データ出力端と該ハードマクロの該データ出力端との間に第２ディレイセルを接続する。

【００２６】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ入出力端と外部回路との間に、ディレイセルを挿入する必要がなくなり又は所定の遅延時間を持ったディレイセルを挿入すればよく、設計が簡略化されるというハードマクロ使用の利点が更に高められ、設計期間をより短縮することが可能となる。

【００２７】請求項１０では、データ入力端、データ出力端及びクロック入力端を備え、該データ入力端が、直接又は第１組合せ回路を介して内部第１同期型フリップフロップのデータ入力端に接続され、該データ出力端が、直接又は第２組合せ回路を介して内部第２同期型フリップフロップのデータ出力端に接続されているハードマクロの作成方法において、該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ入力端に供給される信号のエッジ時点との第１時間間隔を規定しておき、該規定を満たす場合に該内部第１同期型フリップフロップでタイミングエラーが生じないように該ハードマクロの該クロック入力端と該内部第１同期型フリップフロップのクロック入力端との間に第１ディレイセルを接続し、該ハードマクロの該クロック入力端に供給される信号のアクティブエッジ時点と、該時点に対応した、該ハードマクロの該データ出力端での信号のエッジ時点との第２時間間隔を規定しておき、該規定を満たすように該内部第２同期型フリップフロップの該データ出力端と該ハードマクロの該データ出力端との間に第２ディレイセルを接続する。

【００２８】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ入出力端と外部回路との間に、ディレイセルを挿入する必要がなくなり又は所定の遅延時間を持ったディレイセルを挿入すればよく、設計が簡略化されるというハードマクロ使用の利点が更に高められ、設計期間をより短縮することが可能となる。

【００２９】請求項１１のハードマクロ作成方法では、請求項９又は１０において、上記ハードマクロの外部に第１及び第２同期型フリップフロップを配置し該外部第１同期型フリップフロップのデータ出力端を直接該ハードマクロの該データ入力端に接続し該外部第２同期型フリップフロップのデータ入力端を直接該ハードマクロの該データ出力端に接続し該外部第１及び第２同期型フリップフロップ並びに該ハードマクロのクロック入力端へ共通にクロックを供給したときに、上記タイミングエラーが生じないように上記第１時間間隔を定め、且つ、該第２同期型フリップフロップにおいてタイミングエラーが生じないように上記第２時間間隔を定める。

【００３０】この方法で作成されたハードマクロを用いてユーザが半導体チップ設計を行うことにより、ハードマクロのデータ入出力端と外部回路との間にディレイセルを挿入する必要がなくなり、設計が簡略化されるというハードマクロ使用の利点がより一層高められ、設計期間をより短縮することが可能となる。

【００３１】請求項１２のハードマクロ作成方法では、請求項９乃至１１のいずれか１つにおいて、上記第１及び第２ディレイセルとして遅延バッファゲートを有するものを用いる。

【００３２】請求項１３のハードマクロ作成方法では、請求項９乃至１１のいずれか１つにおいて、上記第１及び第２ディレイセルとして配線を用い、該配線の長さにより上記信号伝搬遅延時間を定める。

【００３３】請求項１４のハードマクロ作成方法では、請求項９乃至１１のいずれか１つにおいて、上記第１及び第２ディレイセルとして遅延バッファゲート及びこれに接続された配線を用い、該配線の長さにより上記信号伝搬遅延時間を微調整する。

【００３４】請求項１５の半導体チップ設計方法では、請求項１乃至１４のいずれか１つに記載の方法で作成されたハードマクロを用いて半導体チップ設計を行う。

【００３５】請求項１６の記録媒体では、請求項１乃至１４のいずれか１つに記載の方法で作成されたハードマクロの構成を表すデータが記録されている。

【００３６】

【発明の実施の形態】以下、図面に基づいて本発明の実施形態を説明する。

【００３７】〔第１実施形態〕図１は、ハードマクロ１０Ａの概略構成を示す回路図である。図７と同一構成要素には、同一符号を付している。

【００３８】ハードマクロ１０Ａでは、そのデータ入力端ＤＩとＤフリップフロップ１１のデータ入力端Ｄとの間にディレイセル１５が接続され、ハードマクロ１０Ａのデータ出力端ＤＯとＤフリップフロップ１３のデータ出力端Ｑとの間にディレイセル１６が接続されている。他の点は、図７のハードマクロ１０と同一である。

【００３９】ハードマクロ１０Ａの入出力ＡＣ特性を予め規定しておく。すなわち、ハードマクロ１０のクロック入力端ＣＫに供給されるクロックのアクティブエッジ時点（本実施形態では立ち上がり時点）と、これに対応した、データ入力端ＤＩの信号のエッジ時点との時間間隔間（図３（Ｂ）中のＴＡ）を予め規定しておく。例えば、この時間間隔間を、クロック周期に対し小さな所定値、具体的には０に規定しておく。同様に、ハードマクロ１０のクロック入力端ＣＫに供給されるクロックのアクティブエッジ時点と、これに対応した、データ出力端ＤＯの信号のエッジ時点との時間間隔間（図４（Ｂ）中のＴＢ）を予め規定しておく。例えば、この時間間隔間を、クロック周期が１０ｎｓの場合に３ｎｓに規定しておく。

【００４０】このハードマクロ１０Ａは、内部ＡＣ特性が保証された、仮レイアウト後の回路に対し、この規定を満たすディレイセル１５及び１６をエンジニアリングチェンジ処理などにおいて挿入することにより作成される。

【００４１】図２は、半導体チップＣＰ１上に配置されたハードマクロ１０Ａ及びその付近の回路を示す概略図である。

【００４２】上記規定が満たされる場合に、以下の条件が満たされるようにする。換言すれば、この条件が満たされるように上記時間間隔が規定される。

【００４３】ハードマクロ１０Ａの外部にＤフリップフロップ２０を配置し、Ｄフリップフロップ２０のデータ出力端Ｑとハードマクロ１０Ａのデータ入力端ＤＩとの間を配線で直結し、ハードマクロ１０及びＤフリップフロップ２０のクロック入力端ＣＫへ共通にクロックＣＬＫを供給したときに、ハードマクロ１０Ａ内のＤフリップフロップ１１の入力においてタイミングエラーが生じないように、すなわち、Ｄフリップフロップ２０のデータ出力端Ｑとハードマクロ１０Ａのデータ入力端ＤＩとの間にユーザがディレイセルを接続しなくてもタイミングエラーが生じないようにする。

【００４４】図３（Ａ）は、ディレイセル１５の構成例及びその付近の回路を示す。このディレイセル１５の遅延時間は、遅延バッファゲートの遅延特性とその縦続接続個数により定まる。

【００４５】図３（Ｂ）は、ディレイセル１５をこのように接続した場合にＤフリップフロップ１１のデータ入力端Ｄ及びクロック入力端ＣＫに供給される信号Ｄ１及びＣＬＫ１のタイミング並びにＤフリップフロップ２０のデータ出力端Ｑでの信号ＤＩＡを示しており、セットアップタイムＴＳの条件ＴＳ＜Ｔ１及びホールドタイムＴＨの条件ＴＨ＜Ｔ２が満たされている。ＴＳ及びＴＨは、製造プロセスのばらつきや温度変動などによってもタイミングエラーが生じないように決定されている。（Ｔ１－ＴＳ）がセットアップタイムのタイミングマージンであり、（Ｔ２－ＴＨ）がホールドタイムのタイミングマージンであり、両マージンの小さい方ができるだけ大きくなるようにした方が好ましい。

【００４６】上記条件を満たすためのＤフリップフロップ２０のデータ出力端Ｑとハードマクロ１０Ａのデータ入力端ＤＩとの間の配線の抵抗及び寄生容量の範囲が予め定められており、ユーザはこれに基づいて設計を行う。

【００４７】なお、上記時間間隔０は、Ｄフリップフロップ２０の信号伝播時間及びＤフリップフロップ２０のデータ出力端Ｑからハードマクロ１０のデータ入力端ＤＩまでの信号伝播時間を無視したことに相当する。

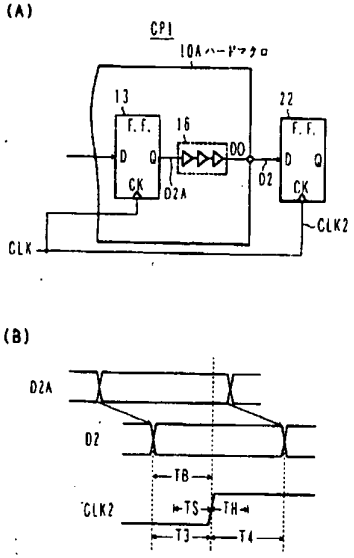
【００４８】同様に、図２において、ハードマクロ１０Ａの外部にＤフリップフロップ２２を配置しハードマクロ１０Ａのデータ出力端ＤＯとＤフリップフロップ２２のデータ入力端Ｄとの間を配線で直結しハードマクロ１０及びＤフリップフロップ２２のクロック入力端ＣＫへ共通にクロックＣＬＫを供給したときに、Ｄフリップフロップ２２の入力においてタイミングエラーが生じないようする。すなわち、ハードマクロ１０Ａのデータ出力端ＤＯとＤフリップフロップ２２のデータ入力端Ｄとの間にユーザがディレイセルを接続しなくてもタイミングエラーが生じないようにする。

【００４９】図４（Ａ）は、ディレイセル１６の構成例及びその付近の回路を示す。このディレイセル１６の遅延時間は、遅延バッファゲートの特性とその縦続接続個数により定まる。

【００５０】図４（Ｂ）は、ディレイセル１６をこのように接続した場合にＤフリップフロップ２２のデータ入力端Ｄ及びクロック入力端ＣＫに供給される信号Ｄ２及びＣＬＫ２のタイミング並びにＤフリップフロップ１３のデータ出力端Ｑでの信号Ｄ２Ａのタイミングを示して

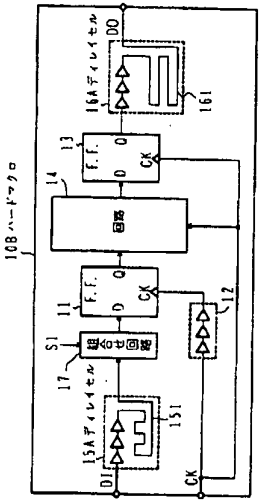
【図4】

(A)は図2中の出力側ディレイセルの構成例及びその付近の回路を示す図であり、(B)は(A)の回路のタイミングチャート



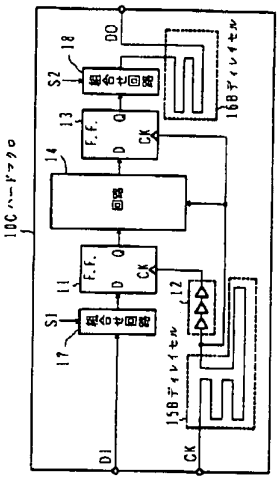
【図5】

本発明の第2実施形態のハードマクロの概略構成を示す回路図



【図6】

本発明の第3実施形態のハードマクロの概略構成を示す回路図



【図8】

図7のハードマクロを用いて半導体チップ上に設計された回路の一部を示す図